

## Управляемый цифровой аттенюатор 5 бит на диапазон частот 1–4,5 ГГц

### ОПИСАНИЕ

ET11450 – универсальный пяти разрядный цифровой аттенюатор с последовательным или параллельным управлением.

Цифровой аттенюатор предназначен для работы в радиочастотных трактах L-, S-, C- диапазонов и в трактах промежуточной частоты более высокочастотных диапазонов.

Специальные скоростные входы позволяют установить максимальное или минимальное затухание по переднему фронту управляющего импульса.

Интегральная схема цифрового аттенюатора выполнена по 0,25 мкм БикМОП SiGe-технологии.

### ПРИМЕНЕНИЕ

- Широкополосные приёмники и передатчики;
- Радиорелейная связь;
- Радары;
- Специальные применения.

### ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

- Диапазон рабочих частот: 1-4,5 ГГц;
- Разрядность: 5 бит;
- Глубина / Шаг регулировки ослабления: 31 / 1 дБ;
- Коэффициент передачи: –2,35 дБ (2 ГГц), –2,9 дБ (4,5 ГГц);
- Напряжение питания драйвера: 2,5 В;
- Режим управления: последовательный / параллельный;
- Размеры кристалла: 2150×940×300 мкм.

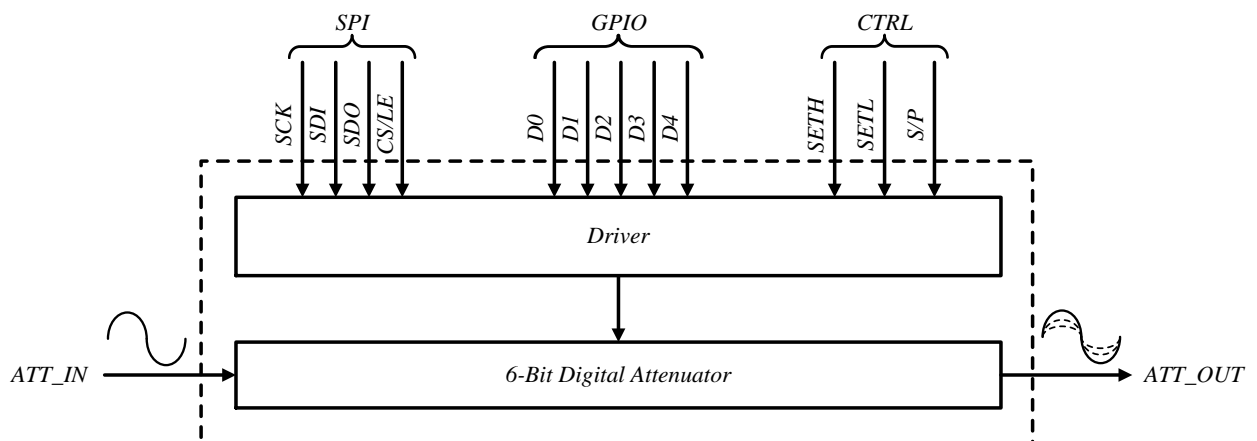


Рис. 1 – Функциональная схема ET11450



## ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ ET11450

Таблица 1 – Основные параметры,  $T = 23^{\circ}\text{C}$ 

Параметр	Значение	Единица измерения
Разрядность	5	бит
Частотный диапазон	1-4,5	ГГц
Потери в опорном состоянии, не более	1,9	дБ
Глубина регулировки ослабления	31	дБ
Шаг регулировки ослабления	1	дБ
Коэффициент отражения по входу во всех состояниях, не более	-15	дБ
Коэффициент отражения по выходу во всех состояниях, не более	-15	дБ
Среднеквадратичная ошибка вносимого ослабления для всех состояний, не более	$\pm 0,3$	дБ
Среднеквадратичная ошибка вносимого фазового сдвига для всех состояний, не более	$\pm 2,5$	градус
Уровень входной мощности по $P_{1\text{ дБ}}^*$	15	дБм
Напряжение питания драйвера, $VDD$	$2,5 \pm 0,25$	В
Пороговое напряжение «0»	$0,3 \times VDD$	В
Пороговое напряжение «1»	$0,7 \times VDD$	В

\* Для опорного состояния.

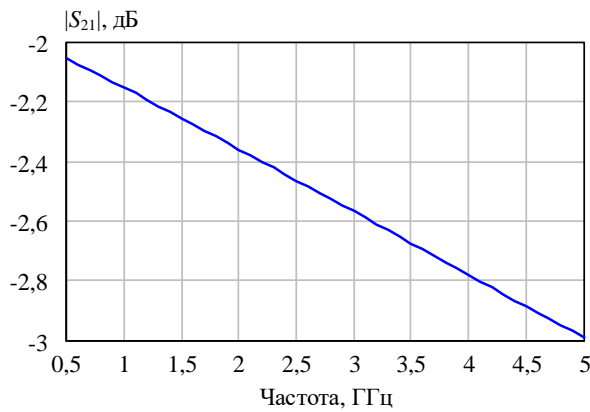
**ТИПОВЫЕ ХАРАКТЕРИСТИКИ ET11450,  $T = 23^{\circ}\text{C}$** 

Рис. 2 – Коэффициент передачи в опорном состоянии

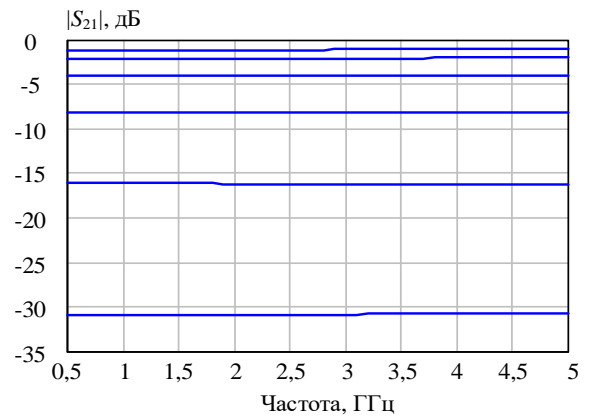


Рис. 3 – Относительный коэффициент передачи для основных состояний и полного включения

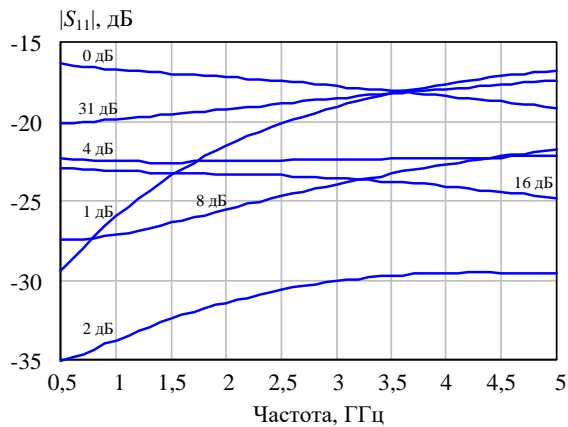


Рис. 4 – Коэффициент отражения по входу для опорного, основного состояний и полного включения

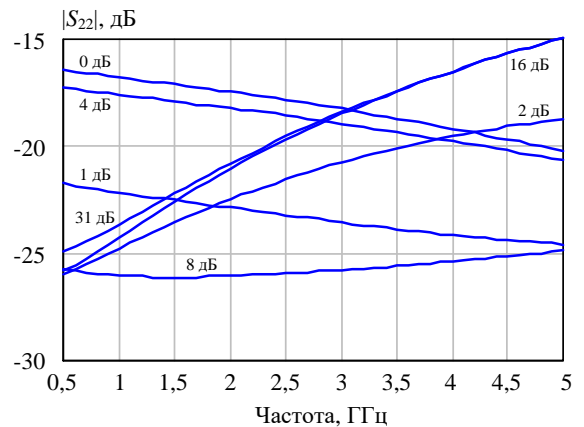


Рис. 5 – Коэффициент отражения по выводу для опорного, основного состояний и полного включения

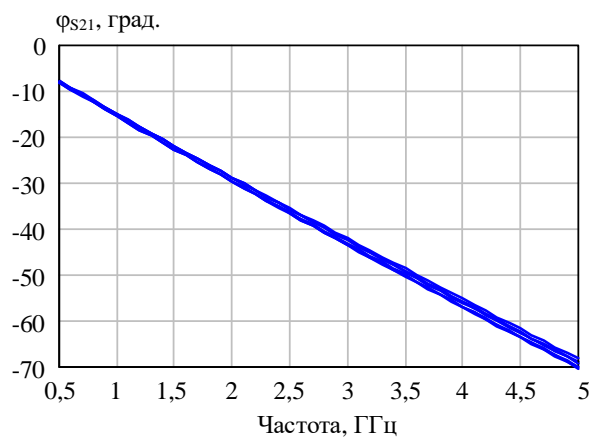


Рис. 6 – Суммарный фазовый сдвиг для опорного, основных состояний и полного включения

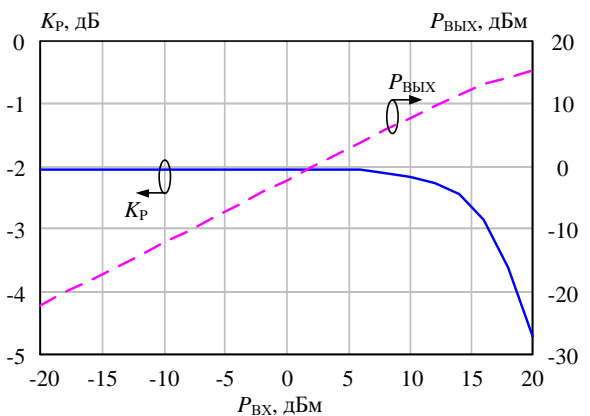


Рис. 7 – Коэффициент передачи по мощности и выходная мощность в опорном состоянии ЦАТТ (1 ГГц) при изменении входной мощности (наихудший случай)



## РЕЖИМЫ РАБОТЫ ДРАЙВЕРА ЦИФРОВОГО АТТЕНЮАТОРА

Драйвер обеспечивает управление интегральной схемой цифрового аттенюатора в режиме параллельного или последовательного кода. Выбор режима работы осуществляется подачей сигнала на вход *SER\_PAR* («0» – последовательный режим; «1» – параллельный). В всех режимах работы возможен асинхронный перевод аттенюатора в состояние максимального и минимального ослабления путем подачи «1» на входы *SETL* и *SETH* соответственно. Подача одинаковых сигналов на эти входы не приводит к изменению состояния аттенюатора.

В драйвере реализован режим фиксации состояния, который обеспечивает переход аттенюатора из предыдущего состояния в новое только после подачи управляющего сигнала на вход *CS/LE*. Этот режим позволяет синхронизировать переключение всех разрядов аттенюатора в новое состояние.

### Режим последовательного кода

Для включения режима необходимо подать «0» на вход *SER\_PAR*. Работа в режиме последовательного кода осуществляется через трехпроводный *SPI*-совместимый интерфейс (выводы *SCK*, *SDI*, *CS/LE*). Состояние аттенюатора кодируется последовательностью из 8-ми бит. Первым в регистр загружается старший бит последовательности *MSB*. Биты *D7–D6* в кодировании состояния не участвуют и зарезервированы для

будущих применений. Запись в последовательно-параллельный регистр очередного бита осуществляется по положительному фронту тактового сигнала *SCK*. По положительному фронту сигнала *CS/LE* значения из последовательно-параллельного регистра загружаются в аттенюатор, изменяя его состояние. Состояние аттенюатора фиксируется до прихода следующего положительного фронта *CS/LE* (см. Рис.8).

### Режим параллельного кода

Для включения режима необходимо подать «1» на вход *S/P*. В режиме параллельного кода работа аттенюатора осуществляется с фиксацией состояния или в режиме непосредственного управления.

В режиме с фиксацией новое состояние аттенюатора задается управляющими напряжениями на входах *D0–D5* при «0» на входе *CS/LE*, при этом предыдущее состояние аттенюатора остается неизменным. Смена состояния происходит по положительному фронту сигнала на входе *CS/LE*.

В режиме непосредственного управления на входе *CS/LE* должна быть установлена «1». В этом случае ослабление аттенюатора определяется состоянием управляющих сигналов на входах *D0–D5*. Установление ослабления происходит непосредственно при изменении состояния управляющих сигналов.



Таблица 2 – Таблица состояний цифрового аттенюатора

<i>L</i> , дБ	<i>D4</i>	<i>D3</i>	<i>D2</i>	<i>D1</i>	<i>D0</i>	<i>L</i> , дБ	<i>D4</i>	<i>D3</i>	<i>D2</i>	<i>D1</i>	<i>D0</i>
0	1	1	1	1	1	16	0	1	1	1	1
1	1	1	1	1	0	17	0	1	1	1	0
2	1	1	1	0	1	18	0	1	1	0	1
3	1	1	1	0	0	19	0	1	1	0	0
4	1	1	0	1	1	20	0	1	0	1	1
5	1	1	0	1	0	21	0	1	0	1	0
6	1	1	0	0	1	22	0	1	0	0	1
7	1	1	0	0	0	23	0	1	0	0	0
8	1	0	1	1	1	24	0	0	1	1	1
9	1	0	1	1	0	25	0	0	1	1	0
10	1	0	1	0	1	26	0	0	1	0	1
11	1	0	1	0	0	27	0	0	1	0	0
12	1	0	0	1	1	28	0	0	0	1	1
13	1	0	0	1	0	29	0	0	0	1	0
14	1	0	0	0	1	30	0	0	0	0	1
15	1	0	0	0	0	31	0	0	0	0	0

*L* – ослабление аттенюатора.

Таблица 3 – Основные параметры драйвера интегральной схемы цифрового аттенюатора

Параметр	Обозначение	Значение	Единица измерения
Период тактового сигнала, не менее	$t_{CK}$	20	нс
Частота тактового сигнала, не более	$f_{CK}$	50	МГц
Длительность импульса сброса, не менее	$t_{RW}$	5	нс
Длительность импульса фиксации, не менее	$t_{LEW}$	5	нс
Задержка фронта импульса данных относительно импульса сброса, не менее	$t_{RD}$	10	нс
Время задержки тактового сигнала в режиме последовательного кода, не менее	$t_{SS}$	5	нс
Время считывания импульса данных в режиме последовательного кода, не менее	$t_{SH}$	8	нс
Время задержки тактового сигнала в режиме параллельного кода, не менее	$t_{PS}$	2	нс
Время считывания импульса данных в режиме параллельного кода, не менее	$t_{PH}$	3	нс
Напряжение питания драйвера	$V_{DD}$	$2,5 \pm 0,25$	В

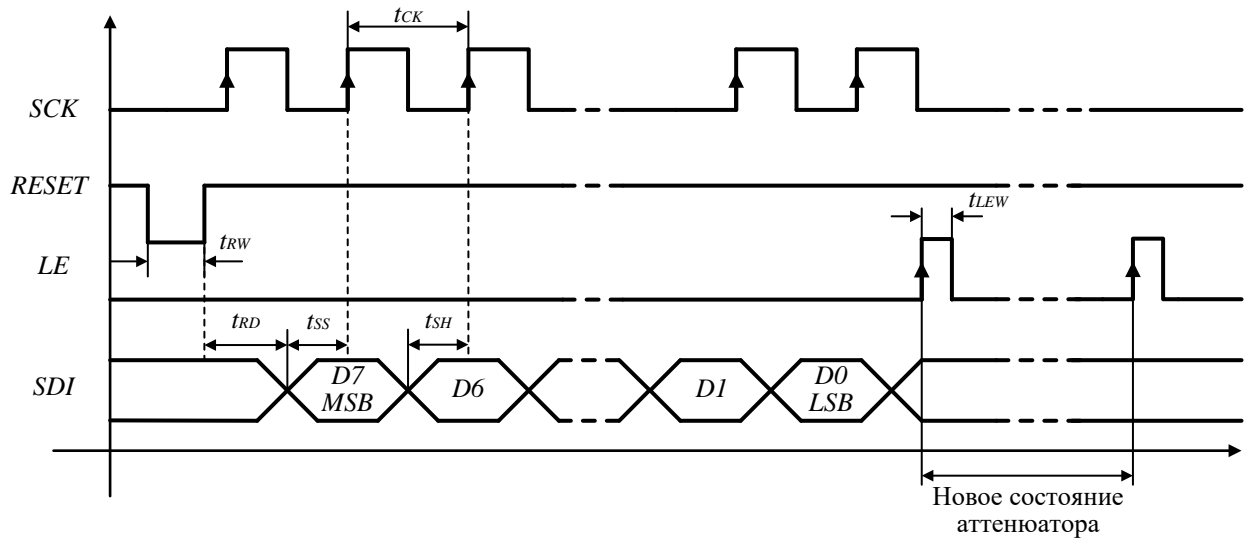
**ВРЕМЕННЫЕ ДИАГРАММЫ ПОСЛЕДОВАТЕЛЬНОГО И ПАРАЛЛЕЛЬНОГО РЕЖИМА УПРАВЛЕНИЯ ЦИФРОВЫМ АТТЕНЮАТОРОМ**

Рис. 8 – Работа в режиме последовательного кода

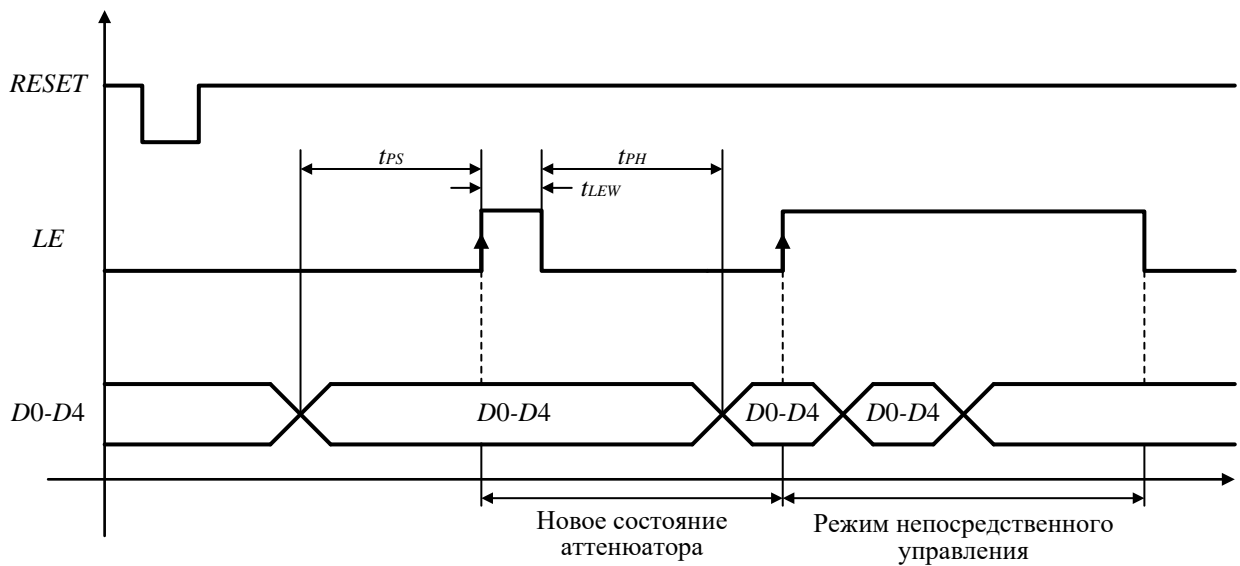


Рис. 9 – Работа в режиме параллельного кода



КРИСТАЛЛ ET11450

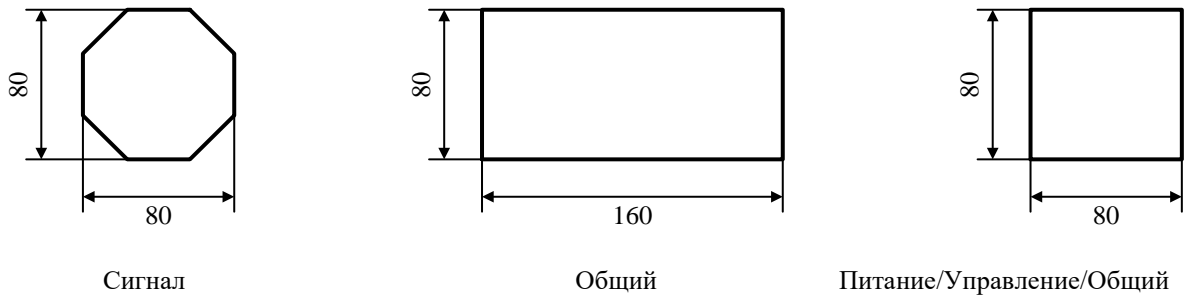
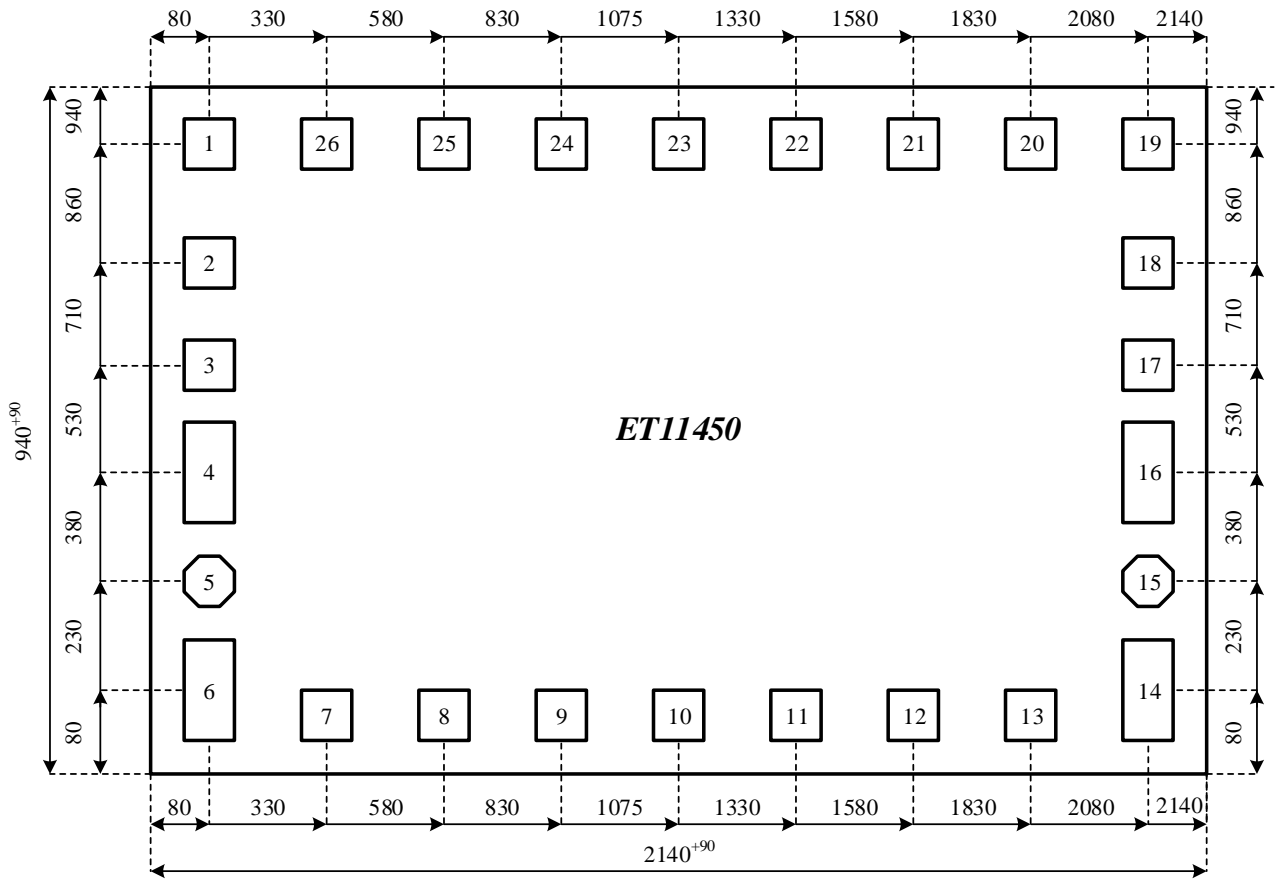


Рис. 10 – Типы контактных площадок кристалла ET11450 (размеры указаны в мкм)



Все размеры указаны в мкм

Рис. 11 – Расположение контактных площадок кристалла 11450 (вид сверху)



Таблица 4 – Описание контактных площадок кристалла ET11450

Номер	Обозначение	Описание
1	<i>SCK</i>	Вход тактового сигнала
2	<i>SER_PAR</i>	Переключение режима управления аттенуатором (0» – последовательный код; «1» – параллельный код). Интегрирован подтягивающий резистор к питанию.
3	<i>SDO</i>	Выход последовательно-параллельного регистра
4, 6, 7; 8; 9; 10; 11; 12; 13; 14; 16; 25	<i>GND</i>	Общий
5	<i>ATT_IN</i>	СВЧ вход цифрового аттенуатора
15	<i>ATT_OUT</i>	СВЧ выход цифрового аттенуатора
17	<i>LE</i>	Выбор микросхемы/фиксация состояния аттенуатора. Интегрирован подтягивающий резистор к питанию.
18	<i>RESET</i>	Сброс состояния аттенуатора. Интегрирован подтягивающий резистор к питанию.
19	<i>VDD</i>	Питание драйвера
20	<i>D4</i>	Управление секцией цифрового аттенуатора 16 дБ (параллельный код). Интегрирован подтягивающий резистор к питанию.
21	<i>D3</i>	Управление секцией цифрового аттенуатора 8 дБ (параллельный код). Интегрирован подтягивающий резистор к питанию.
22	<i>D2</i>	Управление секцией цифрового аттенуатора 4 дБ (параллельный код). Интегрирован подтягивающий резистор к питанию.
23	<i>D1</i>	Управление секцией цифрового аттенуатора 2 дБ (параллельный код). Интегрирован подтягивающий резистор к питанию.
24	<i>D0</i>	Управление секцией цифрового аттенуатора 1 дБ (параллельный код). Интегрирован подтягивающий резистор к питанию.
26	<i>SDI</i>	Вход последовательного интерфейса



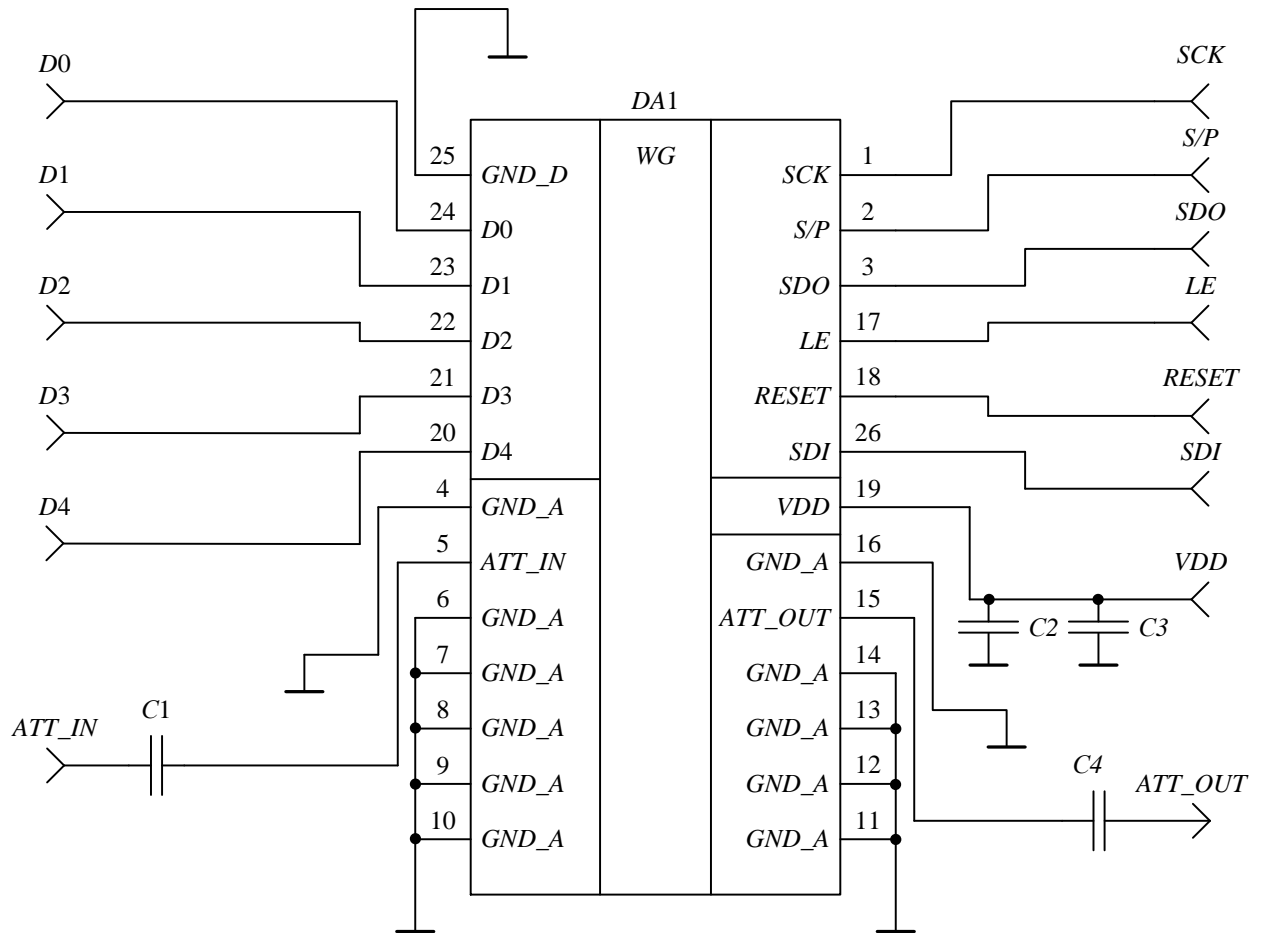
**ПОДКЛЮЧЕНИЕ ВНЕШНИХ КОМПОНЕНТОВ К ET11450**


Рис. 12 – Схема подключения ET11450

Таблица 5 – Перечень внешних компонентов для подключения ET11450

Компонент	Номинал	Описание
C1, C4	470..1000 пФ	Разделительные конденсаторы цифрового аттенюатора
C2	100 пФ	Блокировочные конденсаторы цепей питания и смещения
C3	1000 пФ	Блокировочные конденсаторы цепей питания и смещения