

Управляемый цифровой аттенюатор 6 бит на диапазон частот 0,05–4,5 ГГц

ОПИСАНИЕ

ET11460 – универсальный шести разрядный цифровой аттенюатор с последовательным или параллельным управлением.

Цифровой аттенюатор предназначен для работы в радиочастотных трактах L-, S-, C- диапазонов и в трактах промежуточной частоты более высокочастотных диапазонов.

Специальные скоростные входы позволяют установить максимальное или минимальное затухание по переднему фронту управляющего импульса.

Интегральная схема выполнена по 0,25 мкм КМОП SiGe-технологии.

ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

- Диапазон рабочих частот: 0,05-4,5 ГГц;
- Разрядность: 6 бит;
- Глубина / Шаг регулировки ослабления: 31,5 / 0,5 дБ;
- Коэффициент передачи: -3,75 дБ (2 ГГц), -5,41 дБ (4,5 ГГц);
- Точка компрессии по входу: 14 дБм (2 ГГц);
- Напряжение питания: 2,5 В;
- Режим управления: последовательный /параллельный;
- Напряжение лог. 1/лог. 0: 0 В/2,5 В;
- Размеры кристалла: 1890×1050×300 мкм.

ПРИМЕНЕНИЕ

- Широкополосные приёмники и передатчики;
- Радиорелейная связь;
- Радары;
- Специальные применения.

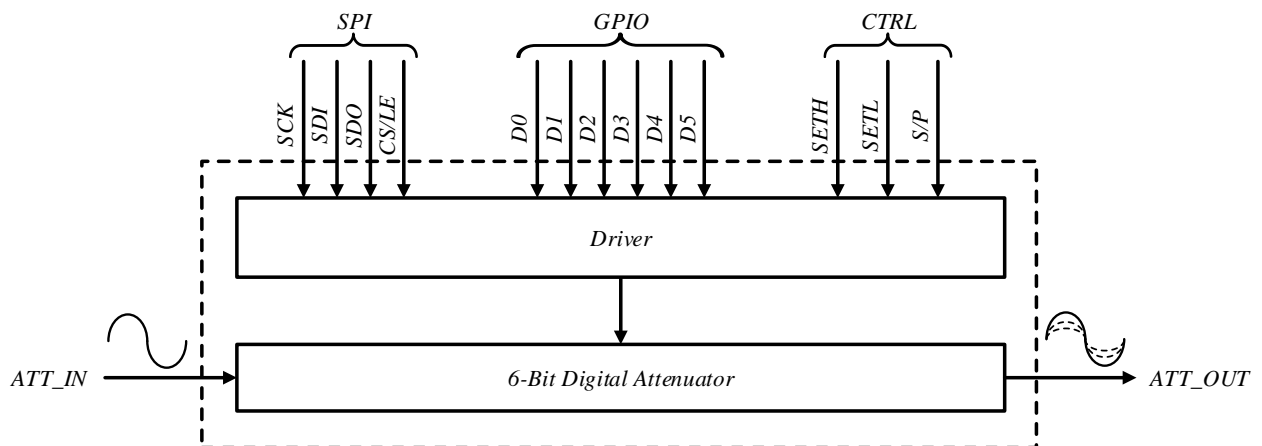


Рис. 1 – Функциональная схема ET11460



ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ ET11460

Таблица 1 – Основные параметры, $T = 23^{\circ}\text{C}$

Параметр	Значение	Единица измерения
Разрядность	6	бит
Частотный диапазон	0,05-4,5	ГГц
Потери в опорном состоянии, не более	5,5	дБ
Глубина регулировки ослабления	31,5	дБ
Шаг регулировки ослабления	0,5	дБ
Коэффициент отражения по входу во всех состояниях, не более	-11	дБ
Коэффициент отражения по выходу во всех состояниях, не более	-11	дБ
Среднеквадратичная ошибка вносимого ослабления для всех состояний, не более	$\pm 0,25$	дБ
Среднеквадратичная ошибка вносимого фазового сдвига для всех состояний, не более	± 4	градус
Уровень входной мощности $P_{1дБ}^*$	14	дБм
Напряжение питания драйвера, VDD	$2,5 \pm 0,25$	В
Пороговое напряжение «0»	$0,3 \times VDD$	В
Пороговое напряжение «1»	$0,7 \times VDD$	В

* Для опорного состояния

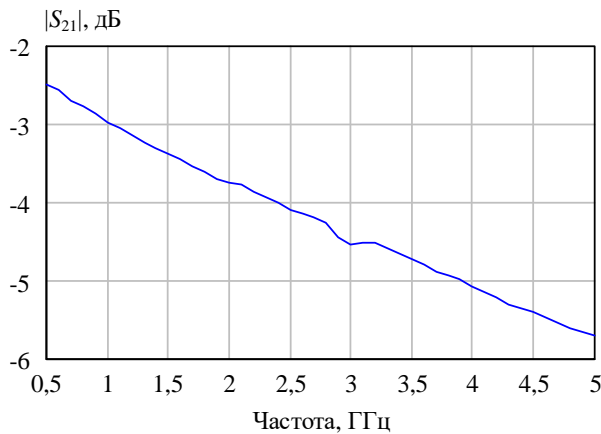
ТИПОВЫЕ ХАРАКТЕРИСТИКИ ЕТ11460, $T = 23^{\circ}\text{C}$ 

Рис. 2 – Коэффициент передачи в опорном состоянии

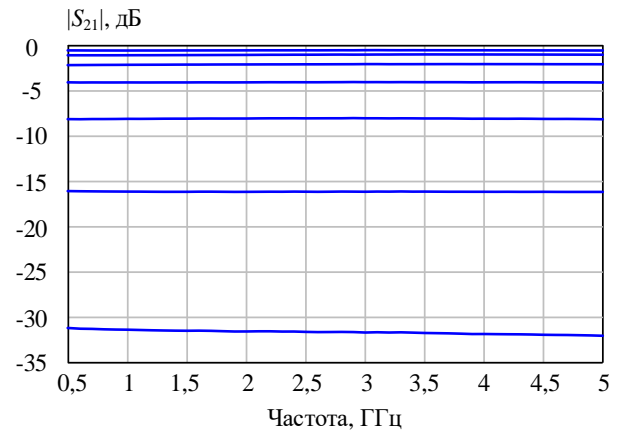


Рис. 3 – Относительный коэффициент передачи для основных состояний и полного включения

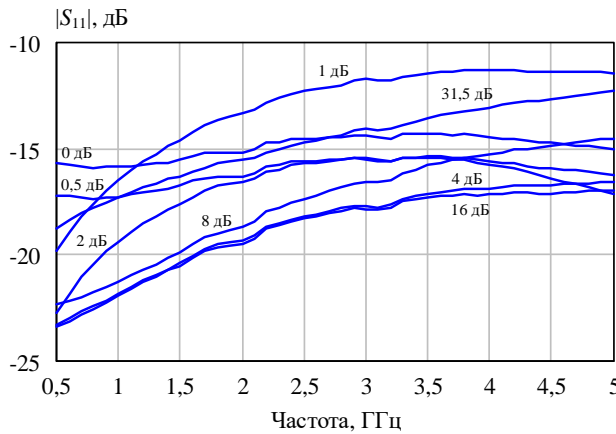


Рис. 4 – Коэффициент отражения по входу для опорного и основных состояний, и полного включения

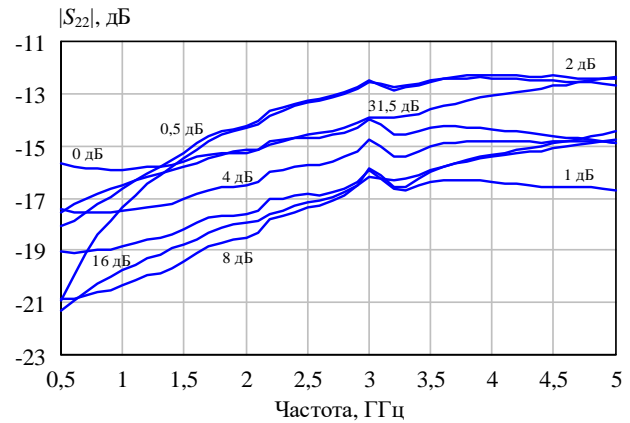


Рис. 5 – Коэффициент отражения по выходу для опорного и основных состояний, и полного включения

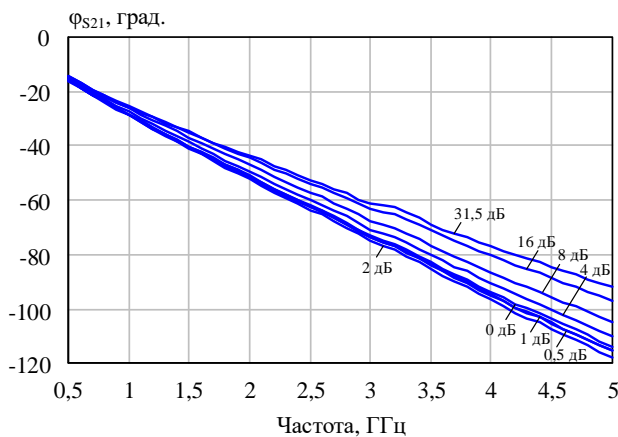


Рис. 6 – Суммарный фазовый сдвиг для опорного и основных состояний, и полного включения

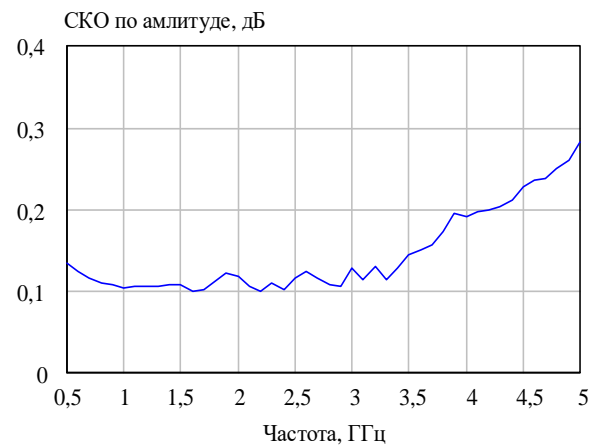


Рис. 7 – Среднеквадратичная ошибка вносимого ослабления для всех состояний



РЕЖИМЫ РАБОТЫ ДРАЙВЕРА ЦИФРОВОГО АТТЕНЮАТОРА

Драйвер обеспечивает управление интегральной схемой цифрового аттенюатора в режиме параллельного или последовательного кода. Выбор режима работы осуществляется подачей сигнала на вход *S/P* («0» – последовательный режим; «1» – параллельный). В всех режимах работы возможен асинхронный перевод аттенюатора в состояние максимального и минимального ослабления путем подачи «1» на входы *SETL* и *SETH* соответственно. Подача одинаковых сигналов на эти входы не приводит к изменению состояния аттенюатора.

В драйвере реализован режим фиксации состояния, который обеспечивает переход аттенюатора из предыдущего состояния в новое только после подачи управляющего сигнала на вход *CS/LE*. Этот режим позволяет синхронизировать переключение всех разрядов аттенюатора в новое состояние.

Режим последовательного кода

Для включения режима необходимо подать «0» на вход *S/P*. Работа в режиме последовательного кода осуществляется через трехпроводный *SPI*-совместимый интерфейс (выводы *SCK*, *SDI*, *CS/LE*). Состояние аттенюатора кодируется последовательностью из 8-ми бит. Первым в регистр загружается старший бит последовательности *MSB*. Биты *D7–D6* в кодировании состояния не участвуют и зарезервированы для

будущих применений. Запись в последовательно-параллельный регистр очередного бита осуществляется по положительному фронту тактового сигнала *SCK*. По положительному фронту сигнала *CS/LE* значения из последовательно-параллельного регистра загружаются в аттенюатор, изменяя его состояние. Состояние аттенюатора фиксируется до прихода следующего положительного фронта *CS/LE* (см. Рис.8).

Режим параллельного кода

Для включения режима необходимо подать «1» на вход *S/P*. В режиме параллельного кода работа аттенюатора осуществляется с фиксацией состояния или в режиме непосредственного управления.

В режиме с фиксацией новое состояние аттенюатора задается управляющими напряжениями на входах *D0–D5* при «0» на входе *CS/LE*, при этом предыдущее состояние аттенюатора остается неизменным. Смена состояния происходит по положительному фронту сигнала на входе *CS/LE*.

В режиме непосредственного управления на входе *CS/LE* должна быть установлена «1». В этом случае ослабление аттенюатора определяется состоянием управляющих сигналов на входах *D0–D5*. Установление ослабления происходит непосредственно при изменении состояния управляющих сигналов.



Таблица 2 – Таблица состояний драйвера цифрового аттенюатора

<i>L</i> , дБ	<i>N</i> (hex)	<i>D5</i>	<i>D4</i>	<i>D3</i>	<i>D2</i>	<i>D1</i>	<i>D0</i>	<i>L</i> , дБ	<i>N</i> (hex)	<i>D5</i>	<i>D4</i>	<i>D3</i>	<i>D2</i>	<i>D1</i>	<i>D0</i>
0	0xFF	1	1	1	1	1	1	16	0xDF	0	1	1	1	1	1
0,5	0xFE	1	1	1	1	1	0	16,5	0xDE	0	1	1	1	1	0
1	0xFD	1	1	1	1	0	1	17	0xDD	0	1	1	1	0	1
1,5	0xFC	1	1	1	1	0	0	17,5	0xDC	0	1	1	1	0	0
2	0xFB	1	1	1	0	1	1	18	0xDB	0	1	1	0	1	1
2,5	0xFA	1	1	1	0	1	0	18,5	0xDA	0	1	1	0	1	0
3	0xF9	1	1	1	0	0	1	19	0xD9	0	1	1	0	0	1
3,5	0xF8	1	1	1	0	0	0	19,5	0xD8	0	1	1	0	0	0
4	0xF7	1	1	0	1	1	1	20	0xD7	0	1	0	1	1	1
4,5	0xF6	1	1	0	1	1	0	20,5	0xD6	0	1	0	1	1	0
5	0xF5	1	1	0	1	0	1	21	0xD5	0	1	0	1	0	1
5,5	0xF4	1	1	0	1	0	0	21,5	0xD4	0	1	0	1	0	0
6	0xF3	1	1	0	0	1	1	22	0xD3	0	1	0	0	1	1
6,5	0xF2	1	1	0	0	1	0	22,5	0xD2	0	1	0	0	1	0
7	0xF1	1	1	0	0	0	1	23	0xD1	0	1	0	0	0	1
7,5	0xF0	1	1	0	0	0	0	23,5	0xD0	0	1	0	0	0	0
8	0xEF	1	0	1	1	1	1	24	0xCF	0	0	1	1	1	1
8,5	0xEE	1	0	1	1	1	0	24,5	0xCE	0	0	1	1	1	0
9	0xED	1	0	1	1	0	1	25	0xCD	0	0	1	1	0	1
9,5	0xEC	1	0	1	1	0	0	25,5	0xCC	0	0	1	1	0	0
10	0xEB	1	0	1	0	1	1	26	0xCB	0	0	1	0	1	1
10,5	0xEA	1	0	1	0	1	0	26,5	0xCA	0	0	1	0	1	0
11	0xE9	1	0	1	0	0	1	27	0xC9	0	0	1	0	0	1
11,5	0xE8	1	0	1	0	0	0	27,5	0xC8	0	0	1	0	0	0
12	0xE7	1	0	0	1	1	1	28	0xC7	0	0	0	1	1	1
12,5	0xE6	1	0	0	1	1	0	28,5	0xC6	0	0	0	1	1	0
13	0xE5	1	0	0	1	0	1	29	0xC5	0	0	0	1	0	1
13,5	0xE4	1	0	0	1	0	0	29,5	0xC4	0	0	0	1	0	0
14	0xE3	1	0	0	0	1	1	30	0xC3	0	0	0	0	1	1
14,5	0xE2	1	0	0	0	1	0	30,5	0xC2	0	0	0	0	1	0
15	0xE1	1	0	0	0	0	1	31	0xC1	0	0	0	0	0	1
15,5	0xE0	1	0	0	0	0	0	31,5	0xC0	0	0	0	0	0	0

L – ослабление аттенюатора, *N* – значение переданного цифрового кода.

Таблица 3 – Основные параметры драйвера цифрового аттенюатора

Параметр	Обозначение	Значение	Единица измерения
Период тактового сигнала, не менее	t_{CK}	20	нс
Частота тактового сигнала, не более	f_{CK}	50	МГц
Длительность импульса фиксации, не менее	t_{LEW}	5	нс
Время задержки тактового сигнала в режиме последовательного кода, не менее	t_{SS}	5	нс
Время считывания импульса данных в режиме последовательного кода, не менее	t_{SH}	8	нс
Время задержки тактового сигнала в режиме параллельного кода, не менее	t_{PS}	2	нс
Время считывания импульса данных в режиме параллельного кода, не менее	t_{PH}	3	нс
Напряжение питания драйвера	VDD	$2,5 \pm 0,25$	В
Пороговое напряжение «0»		$0,3 \times VDD$	В
Пороговое напряжение «1»		$0,7 \times VDD$	В

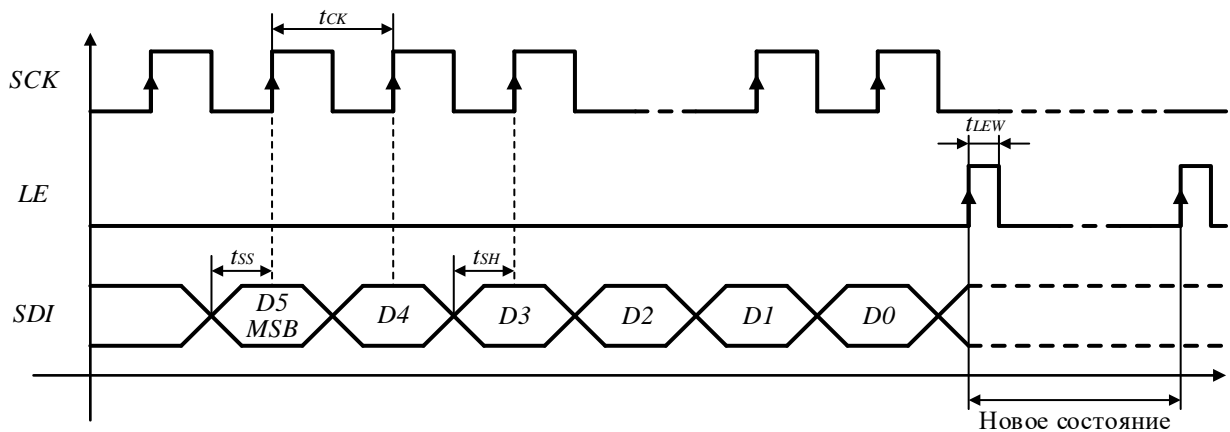
ВРЕМЕННЫЕ ДИАГРАММЫ ПОСЛЕДОВАТЕЛЬНОГО И ПАРАЛЛЕЛЬНОГО РЕЖИМА УПРАВЛЕНИЯ ЦИФРОВЫМ АТТЕНЮАТОРОМ


Рис. 8 – Временные диаграммы последовательного кода

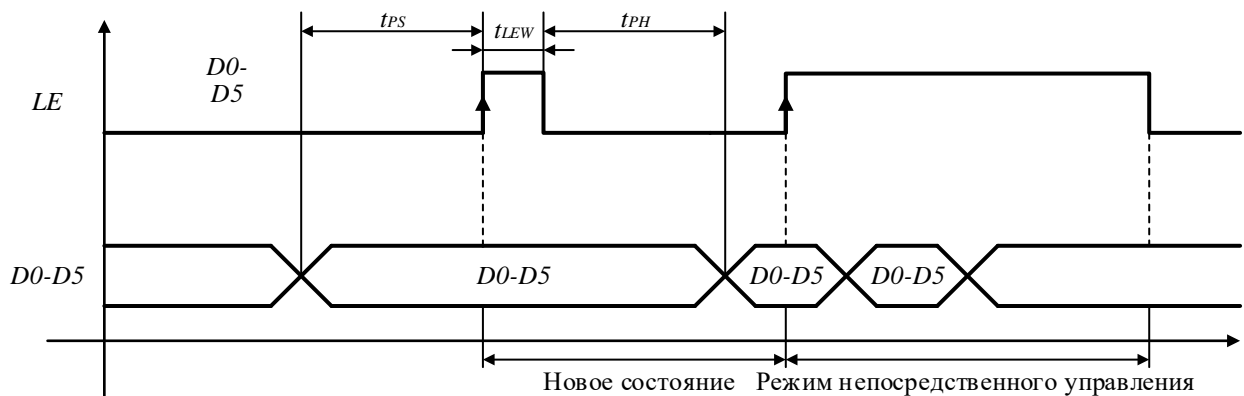
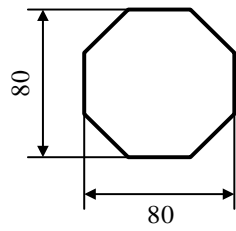


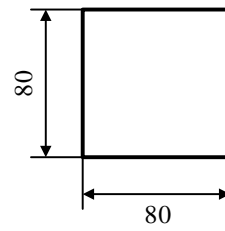
Рис. 9 – Временные диаграммы параллельного кода



КРИСТАЛЛ ET11460

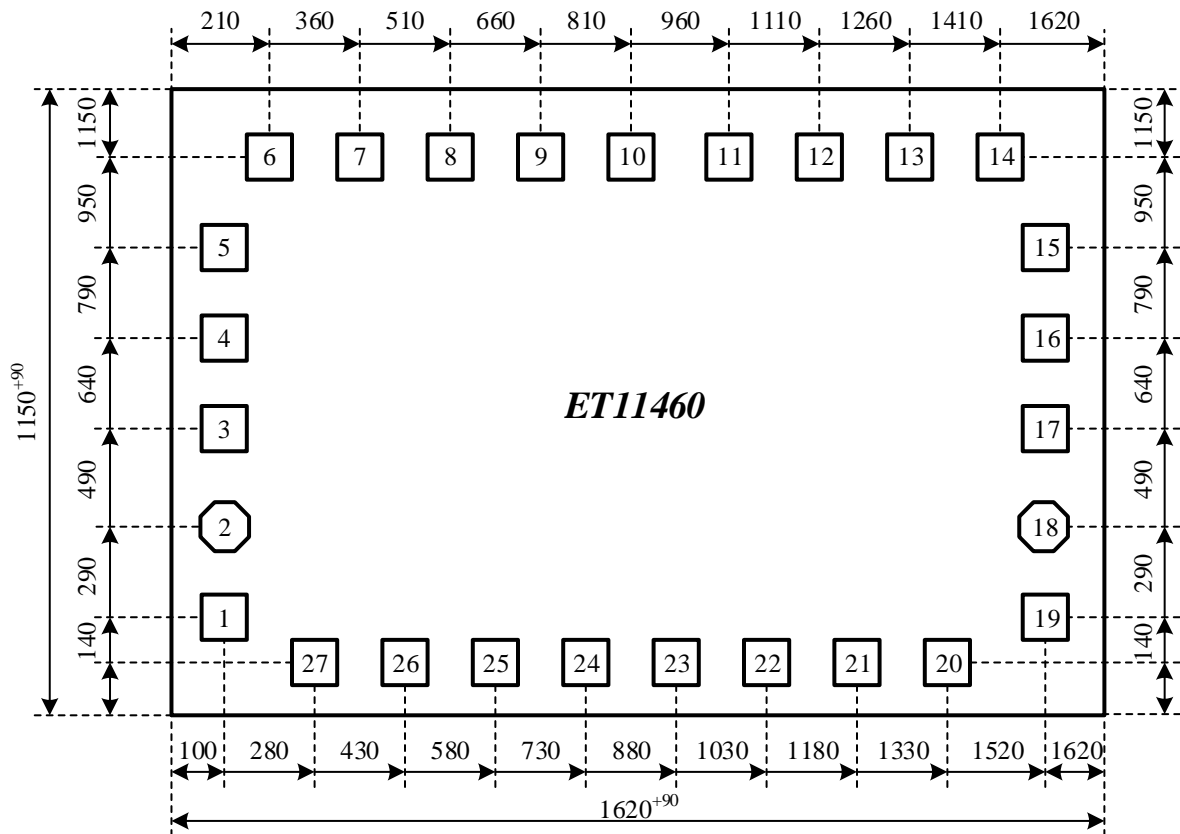


Сигнал



Питание/Управление/Общий

Рис. 10 – Типы контактных площадок кристалла ET11460 (размеры указаны в мкм)



Все размеры указаны в мкм

Рис. 11 – Расположение контактных площадок кристалла ET11460 (вид сверху)



Таблица 4 – Описание контактных площадок кристалла ET11460

Номер	Обозначение	Описание
1, 19-27	<i>GND_A</i>	Общий
2	<i>ATT_IN</i>	СВЧ-вход цифрового аттенюатора
3	<i>CS/LE</i>	Выбор микросхемы/фиксация состояния аттенюатора. Интегрирован подтягивающий резистор к питанию
4	<i>SDI</i>	Вход последовательного интерфейса
5	<i>SCK</i>	Вход тактового сигнала
6	<i>S/P</i>	Переключение режима управления аттенюатором (0» – последовательный код; «1» – параллельный код). Интегрирован подтягивающий резистор к питанию
7	<i>D0</i>	Управление секцией цифрового аттенюатора 0,5 дБ (параллельный код). Интегрирован подтягивающий резистор к питанию
8	<i>D1</i>	Управление секцией цифрового аттенюатора 1 дБ (параллельный код). Интегрирован подтягивающий резистор к питанию
9	<i>D2</i>	Управление секцией цифрового аттенюатора 2 дБ (параллельный код). Интегрирован подтягивающий резистор к питанию
10	<i>D3</i>	Управление секцией цифрового аттенюатора 4 дБ (параллельный код). Интегрирован подтягивающий резистор к питанию
11	<i>D4</i>	Управление секцией цифрового аттенюатора 8 дБ (параллельный код). Интегрирован подтягивающий резистор к питанию
12	<i>D5</i>	Управление секцией цифрового аттенюатора 16 дБ (параллельный код). Интегрирован подтягивающий резистор к питанию
13	<i>GND_D</i>	Общий драйвера
14	<i>VDD</i>	Питание драйвера (+2,5 В)
15	<i>SETH</i>	Установить все секции цифрового аттенюатора в режим «1» (соответствует минимальному ослаблению в канале)
16	<i>SETL</i>	Установить все секции цифрового аттенюатора в режим «0» (соответствует максимальному ослаблению в канале)
17	<i>SDO</i>	Выход последовательно-параллельного регистра
18	<i>ATT_OUT</i>	СВЧ-выход цифрового аттенюатора

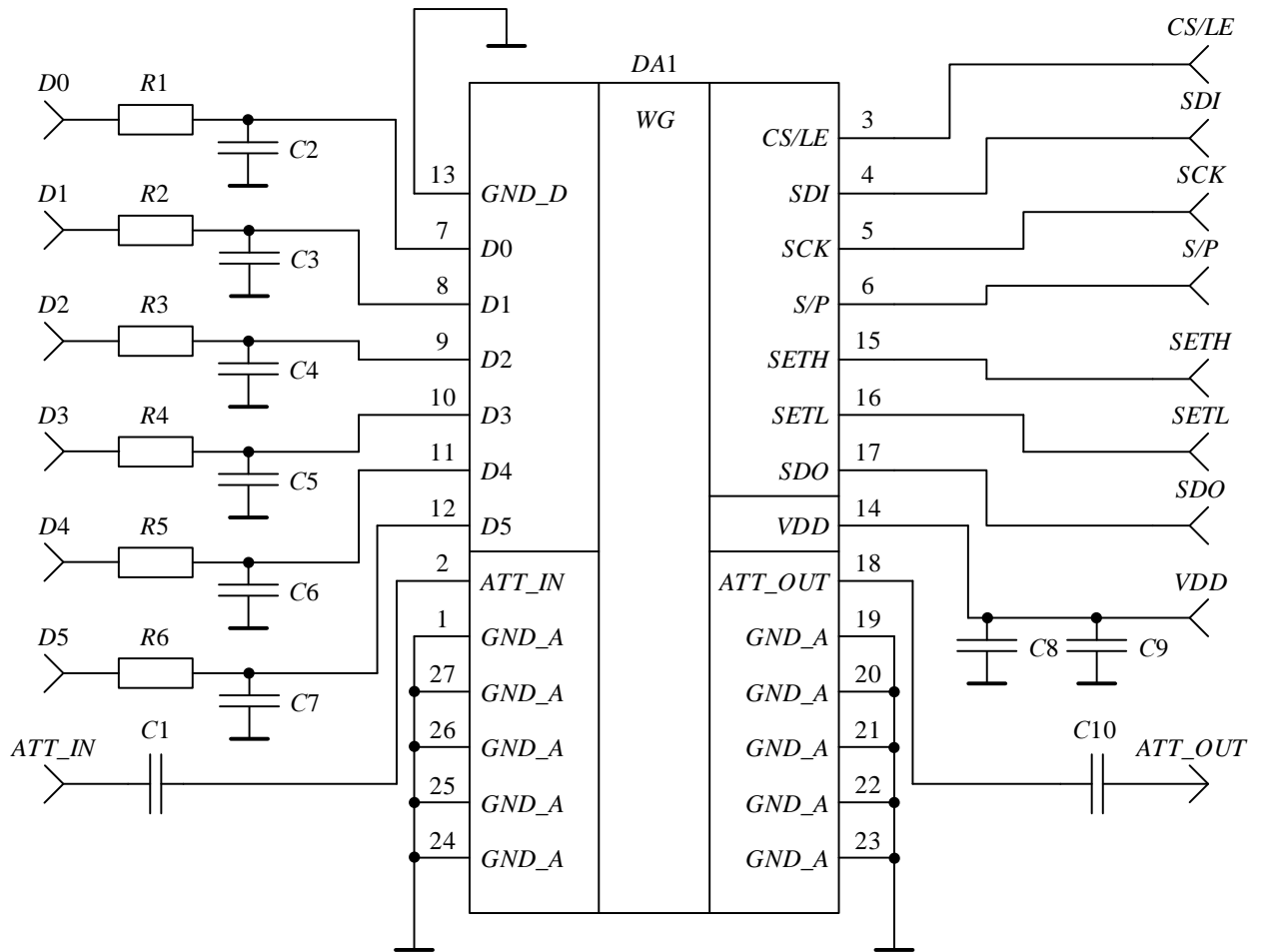
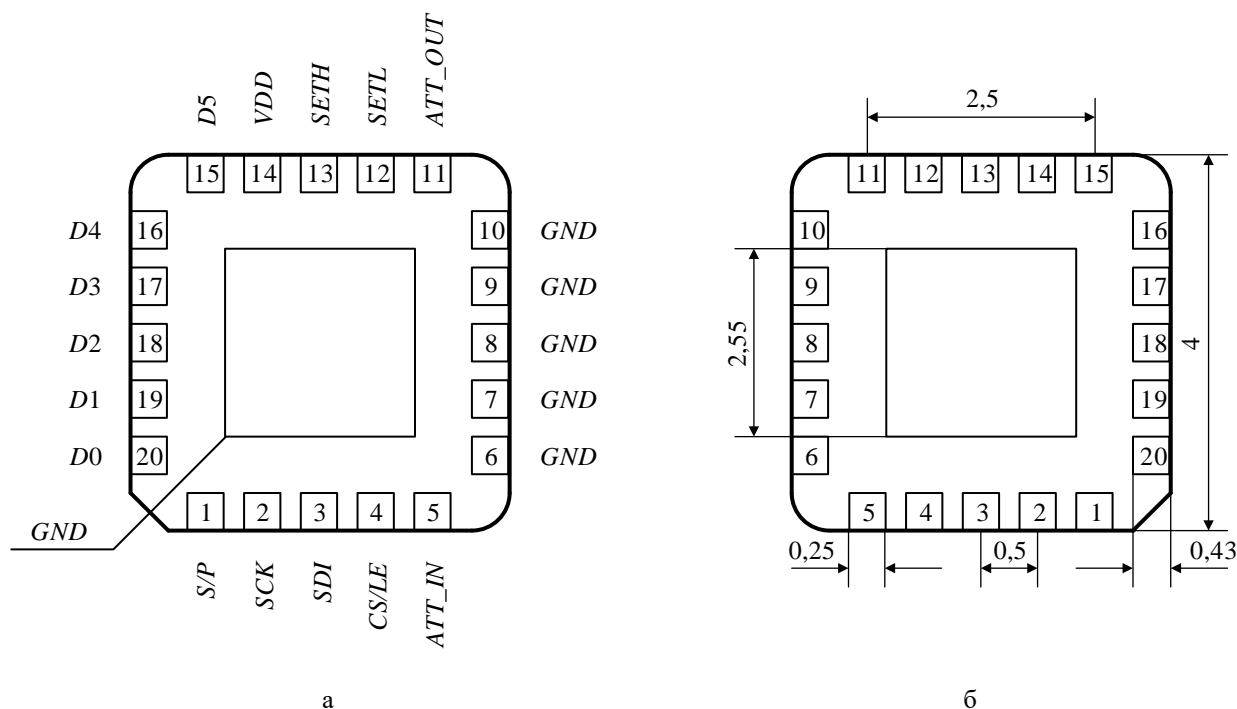
ПОДКЛЮЧЕНИЕ ВНЕШНИХ КОМПОНЕНТОВ К ET11460


Рис. 12 – Схема подключения ET11460

Таблица 5 – Перечень внешних компонентов для подключения ET11460

Компонент	Номинал	Описание
C1, C10	30..1000 пФ	Разделительные конденсаторы
C2-C7	50 пФ	Блокировочные конденсаторы цепей управления драйвером
C8	1000 пФ	Блокировочные конденсаторы цепей питания
C9	100 пФ	Блокировочные конденсаторы цепей питания
R1-R6	100 Ом	Ограничительные резисторы

**ET11460 В КОРПУСЕ QFN20
(КЕРАМИЧЕСКИЙ ВАРИАНТ ИСПОЛНЕНИЯ – ОПЦИОНАЛЬНО)**


а

б

Все размеры указаны в мм

Рис. 13 – Корпус QFN20 (а – вид сверху, б – вид снизу)

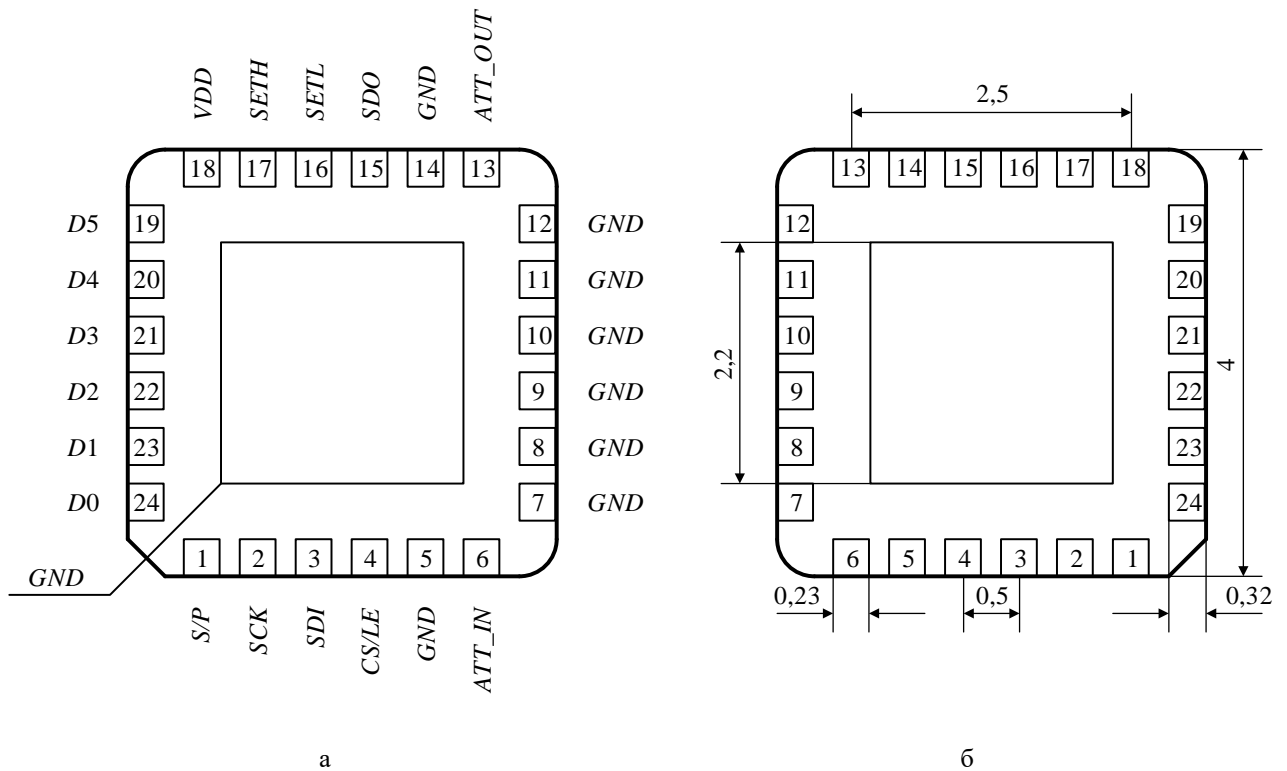
Таблица 6 – Описание выводов ET11460 в корпусе QFN20

Номер	Обозначение	Описание
1	<i>S/P</i>	Переключение режима управления аттенюатором (0) – последовательный код; «1» – параллельный код). Интегрирован подтягивающий резистор к питанию
2	<i>SCK</i>	Вход тактового сигнала
3	<i>SDI</i>	Вход последовательного интерфейса
4	<i>CS/LE</i>	Выбор микросхемы/фиксация состояния аттенюатора. Интегрирован подтягивающий резистор к питанию
5	<i>ATT_IN</i>	СВЧ-вход цифрового аттенюатора
6-10	<i>GND (GND_A, GND_D)</i>	Общий
11	<i>ATT_OUT</i>	СВЧ выход цифрового аттенюатора
12	<i>SETL</i>	Установить все секции цифрового аттенюатора в режим «0» (соответствует максимальному ослаблению в канале)
13	<i>SETH</i>	Установить все секции цифрового аттенюатора в режим «1» (соответствует минимальному ослаблению в канале)



Продолжение таблицы 6

Номер	Обозначение	Описание
14	<i>VDD</i>	Питание драйвера (+2,5 В)
15	<i>D5</i>	Управление секцией цифрового аттенюатора 16 дБ (параллельный код). Интегрирован подтягивающий резистор к питанию
16	<i>D4</i>	Управление секцией цифрового аттенюатора 8 дБ (параллельный код). Интегрирован подтягивающий резистор к питанию
17	<i>D3</i>	Управление секцией цифрового аттенюатора 4 дБ (параллельный код). Интегрирован подтягивающий резистор к питанию
18	<i>D2</i>	Управление секцией цифрового аттенюатора 2 дБ (параллельный код). Интегрирован подтягивающий резистор к питанию
19	<i>D1</i>	Управление секцией цифрового аттенюатора 1 дБ (параллельный код). Интегрирован подтягивающий резистор к питанию
20	<i>D0</i>	Управление секцией цифрового аттенюатора 0,5 дБ (параллельный код). Интегрирован подтягивающий резистор к питанию

**ET11460 В КОРПУСЕ QFN24
(ПЛАСТМАССОВЫЙ ВАРИАНТ ИСПОЛНЕНИЯ – ОПЦИОНАЛЬНО)**

Все размеры указаны в мм

Рис. 14 – Корпус QFN24 (а – вид сверху, б – вид снизу)



Таблица 7 – Описание выводов ET11460 в корпусе QFN24

Номер	Обозначение	Описание
1	<i>S/P</i>	Переключение режима управления аттенюатором (0» – последовательный код; «1» – параллельный код). Интегрирован подтягивающий резистор к питанию
2	<i>SCK</i>	Вход тактового сигнала
3	<i>SDI</i>	Вход последовательного интерфейса
4	<i>CS/LE</i>	Выбор микросхемы/фиксация состояния аттенюатора. Интегрирован подтягивающий резистор к питанию
5, 7–12,14	<i>GND (GND_A, GND_D)</i>	Общий
6	<i>ATT_IN</i>	СВЧ-вход цифрового аттенюатора
13	<i>ATT_OUT</i>	СВЧ-выход цифрового аттенюатора
15	<i>SDO</i>	Выход последовательно-параллельного регистра
16	<i>SETL</i>	Установить все секции цифрового аттенюатора в режим «0» (соответствует максимальному ослаблению в канале). Интегрирован подтягивающий резистор к питанию
17	<i>SETH</i>	Установить все секции цифрового аттенюатора в режим «1» (соответствует минимальному ослаблению в канале). Интегрирован подтягивающий резистор к питанию
18	<i>VDD</i>	Питание драйвера (+2,5 В)
19	<i>D5</i>	Управление секцией цифрового аттенюатора 16 дБ (параллельный код). Интегрирован подтягивающий резистор к питанию
20	<i>D4</i>	Управление секцией цифрового аттенюатора 8 дБ (параллельный код). Интегрирован подтягивающий резистор к питанию
21	<i>D3</i>	Управление секцией цифрового аттенюатора 4 дБ (параллельный код). Интегрирован подтягивающий резистор к питанию
22	<i>D2</i>	Управление секцией цифрового аттенюатора 2 дБ (параллельный код). Интегрирован подтягивающий резистор к питанию
23	<i>D1</i>	Управление секцией цифрового аттенюатора 1 дБ (параллельный код). Интегрирован подтягивающий резистор к питанию
24	<i>D0</i>	Управление секцией цифрового аттенюатора 0,5 дБ (параллельный код). Интегрирован подтягивающий резистор к питанию